

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 11298323
PUBLICATION DATE : 29-10-99

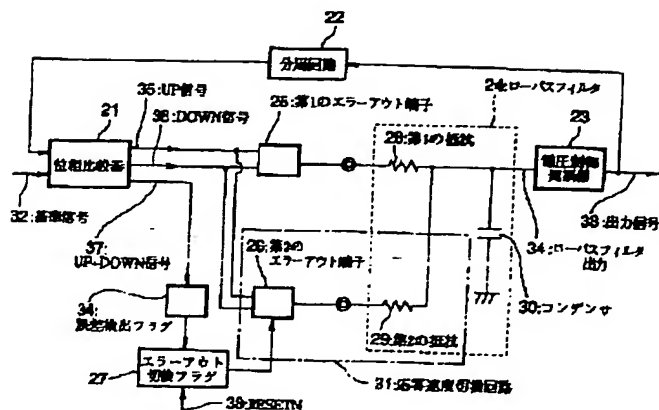
APPLICATION DATE : 16-04-98
APPLICATION NUMBER : 10106681

APPLICANT : NEC YAMAGATA LTD;

INVENTOR : MIZOGUCHI MAKOTO;

INT.CL. : H03L 7/095 H03L 7/18

TITLE : HIGH-SPEED LOCK-UP PLL CIRCUIT



ABSTRACT : PROBLEM TO BE SOLVED: To provide a high-speed lock-up PLL circuit capable of switching a high-speed response/a low-speed response within an optional error range and preventing characteristic degradation at the time of changeover.

SOLUTION: Relating to this PLL circuit provided with a voltage controlled oscillator 23, a phase comparator 21, plural error out terminals for outputting the signals of the phase comparator 21 and a low-pass filter 24 for inputting the output of the error out terminals, an error detection flag 34 capable of observing error signals outputted from the phase comparator 21 and an error out changeover flag 27 for turning at least one or more of the plural error out terminals to a high impedance fixed state are provided. The error out changeover flag 27 changes the output of the error out terminal as an object to the high impedance fixed state only when the output of all the error out terminals is high impedance.

COPYRIGHT: (C)1999,JPO

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-298323

(43)公開日 平成11年(1999)10月29日

(51)Int.Cl.⁸

H 0 3 L 7/095

7/18

識別記号

F I

H 0 3 L 7/08

7/18

B

Z

審査請求 有 請求項の数 4 O L (全 10 頁)

(21)出願番号 特願平10-106681

(22)出願日 平成10年(1998)4月16日

(71)出願人 390001915

山形日本電気株式会社

山形県山形市北町4丁目12番12号

(72)発明者 溝口 誠

山形県山形市北町4丁目12番12号 山形日
本電気株式会社内

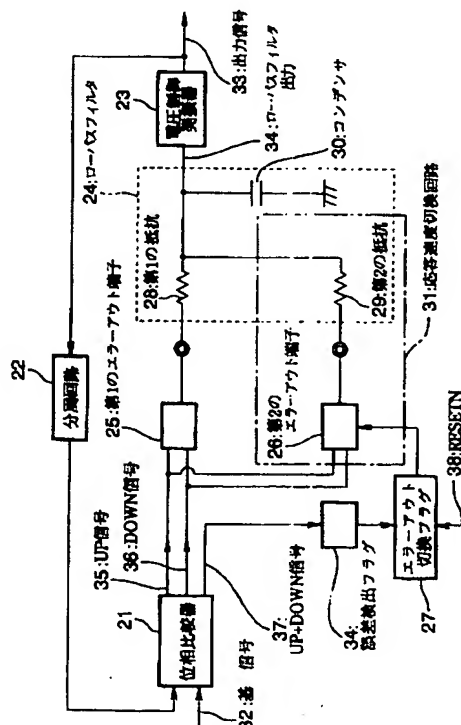
(74)代理人 弁理士 高橋 詔男 (外3名)

(54)【発明の名称】 高速ロックアップPLL回路

(57)【要約】

【課題】 任意の誤差範囲内で高速応答／低速応答の切換ができ、切換時の特性劣化を防止出来る高速ロックアップPLL回路を提供する。

【解決手段】 電圧制御発振器と、位相比較器と、位相比較器の信号を出力する複数のエラーアウト端子と、前記エラーアウト端子の出力を入力とするローパスフィルタを有するPLL回路において、位相比較器から出力される誤差信号を観測出来る誤差検出フラグと、複数のエラーアウト端子の内少なくとも1本以上ハイインピーダンス固定状態にするエラーアウト切換フラグを備え、前記エラーアウト切換フラグはすべてのエラーアウト端子の出力がハイインピーダンスのときにのみ、対象とするエラーアウト端子の出力をハイインピーダンス固定状態に変化させる。



【特許請求の範囲】

【請求項1】 電圧制御発振器と、前記電圧制御発振器の出力信号と基準信号の位相及び周波数を比較し誤差信号を出力する位相比較器と、前記位相比較器の出力信号を入力し、該入力信号を出力する動作状態と出力をハイインピーダンス固定状態とする2つの状態間を切換可能な複数のエラーアウト端子と、前記複数のエラーアウト端子の出力を入力とし、前記電圧制御発振器の電圧制御端子に接続されるローパスフィルタを有する高速ロックアップPLL回路。

【請求項2】 前記高速ロックアップPLL回路は、前記複数のエラーアウト端子の内、少なくとも1本以上ハイインピーダンス固定状態にするエラーアウト端子制御回路を備え、前記エラーアウト端子の切換は該エラーアウト端子の出力がハイインピーダンス時に行うことを特徴とする請求項1記載の高速ロックアップPLL回路。

【請求項3】 前記エラーアウト端子制御回路は、前記位相比較器から出力される誤差信号を監視する誤差検出フラグを備えることを特徴とする請求項2記載の高速ロックアップPLL回路。

【請求項4】 前記エラーアウト端子制御回路は、エラーアウト切換フラグをさらに備え、前記エラーアウト切換フラグは、前記誤差検出フラグがノンアクティブ状態時に、前記複数のエラーアウト端子の出力を少なくとも1本以上ハイインピーダンス固定状態にする信号を出力することを特徴とする請求項3記載の高速ロックアップPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路を用いて構成されるPLL(Phase Locked Loop)回路において、特に高速ロックアップを可能とする高速応答回路と低雑音を実現する低速応答回路を切換えるPLL回路に関する。

【0002】

【従来の技術】従来、高速ロックアップ、低雑音PLL回路は、例えば特開平9-8655号公報に示されるように、2つの異なる特性を持つ位相比較器を用いて、実現していた。図4は、従来の高速ロックアップ、低雑音PLL回路の一例を示すブロック図である。

【0003】この回路は、ループフィルタ3と、プログラマブル分周器4と、電圧制御発振器5と、プログラマブル分周器4の出力と入力される基準信号1の位相及び周波数を比較するオーバーラップ出力位相比較器6と、同じくプログラマブル分周器4の出力と入力される基準信号1の位相及び周波数を比較するノンオーバーラップ出力位相比較器7と、オーバーラップ出力位相比較器6の出力を入力とする第1のチャージポンプ8と、ノンオーバーラップ出力位相比較器7の出力を入力とする第2

のチャージポンプ9により構成される。

【0004】この回路の動作は、以下のような原理で動作する。ノンオーバーラップ出力位相比較器7は、基準信号1とプログラマブル分周器4の出力を比較し、その位相誤差を誤差信号として出力し、位相誤差がある一定値以内の場合、その誤差信号を出力せず誤差ゼロの場合と同じ状態になる。オーバーラップ出力位相比較器6も同様に、基準信号1とプログラマブル分周器4の出力を比較し、その位相誤差を誤差信号として出力し、位相誤差がゼロになった場合に誤差信号を出力しなくなる。

【0005】周波数切換開始時等、基準信号1とプログラマブル分周器4の出力の誤差が大きいために、オーバーラップ出力位相比較器6及びノンオーバーラップ出力位相比較器7は共に誤差信号を発生し、第1のチャージポンプ8及び第2のチャージポンプ9によりループフィルタ3は駆動される。よって高速応答が実現される。

【0006】周波数切換開始から一定時間たった後等、基準信号1とプログラマブル分周器4の出力の位相誤差がある一定値以内になると、ノンオーバーラップ出力位相比較器7は基準信号1とプログラマブル分周器4の出力の位相誤差が存在するにもかかわらず誤差信号を発生しなくなる。このため、第1のチャージポンプ8によってのみループフィルタ3は駆動され、低速応答が実現される。

【0007】このように、オーバーラップ出力位相比較器6とノンオーバーラップ出力位相比較器7の誤差検出特性の差によりループフィルタ3を駆動する電流を切り換える事で高速応答/低速応答を実現している。

【0008】

【発明が解決しようとする課題】しかし、上述のPLL回路では、特性の異なる位相比較器が2つ必要であり、回路規模が大きくなる問題があった。さらに、前記PLL回路では、ノンオーバーラップ出力位相比較器が基準信号と分周回路出力の位相誤差を検出しなくなる誤差範囲は回路により一定であり、変更することができず、高速応答/低速応答の切換えを任意の外部回路に対して最適化できないという問題があった。

【0009】本発明は、上記の点に鑑みてなされたもので、回路規模を大きくすることなく、高速応答/低速応答の切換えを任意の外部回路に対して最適化でき、また特性劣化を防止できる高速ロックアップPLL回路を提供するものである。

【0010】

【課題を解決するための手段】本発明の高速ロックアップPLL回路は、電圧制御発振器と、前記電圧制御発振器の出力信号と基準信号の位相及び周波数を比較し誤差信号を出力する位相比較器と、前記位相比較器の出力信号を入力し、該入力信号を出力する動作状態と出力をハイインピーダンス固定状態とする2つの状態間を切換可能な複数のエラーアウト端子と、前記複数のエラーアウ

ト端子の出力を入力とし、前記電圧制御発振器の電圧制御端子に接続されるローパスフィルタを有する。

【0011】また、本発明の高速ロックアップPLL回路は、前記複数のエラーアウト端子の内、少なくとも1本以上ハイインピーダンス固定状態にするエラーアウト端子制御回路を備え、前記エラーアウト端子の切換えは該エラーアウト端子の出力がハイインピーダンス時に行う。

【0012】また、本発明の高速ロックアップPLL回路において、前記エラーアウト端子制御回路は、前記位相比較器から出力される誤差信号を監視する誤差検出フラグを備える。

【0013】また、本発明の高速ロックアップPLL回路において、前記エラーアウト端子制御回路は、エラーアウト切換フラグをさらに備え、前記エラーアウト切換フラグは、前記誤差検出フラグがノンアクティブ状態時に、前記複数のエラーアウト端子の出力を少なくとも1本以上ハイインピーダンス固定状態にする信号を出力する。

【0014】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。

【0015】図1は、一実施形態としての本発明の構成を示すブロック図である。図1より高速ロックアップPLL回路は、位相比較器21と、位相比較器21に接続される分周回路22と、分周回路22に接続される電圧制御発振器23と、電圧制御発振器23の電圧制御端子に接続されるローパスフィルタ24と、ローパスフィルタ24および位相比較器21に接続される第1のエラーアウト端子25及び第2のエラーアウト端子26と、第2のエラーアウト端子26に接続されるエラーアウト切換フラグ27と、位相比較器21とエラーアウト切換フラグ27に接続される誤差検出フラグ34より構成される。

【0016】また、第1の抵抗28及び第2の抵抗29は、それぞれ第1のエラーアウト端子25及び第2のエラーアウト端子26に接続されるとともに、第1の抵抗28及び第2の抵抗29の他方の端子はコンデンサ30の一方の電極に接続され、コンデンサ30の他方の電極はGNDに接続される。この第1の抵抗28と第2の抵抗29とコンデンサ30によりローパスフィルタ24が構成され、また、第2のエラーアウト端子26と第2の抵抗29により応答切換回路31が構成される。また、誤差検出フラグ34とエラーアウト切換フラグ27により、エラーアウト端子制御回路を構成する。

【0017】次に、このように構成された本実施形態の高速ロックアップPLL回路の動作を説明する。

【0018】位相比較器21には、基準信号32と、分周回路22の出力信号の2つの信号が入力される。位相比較器21は、これら2つの入力信号の位相及び周波数

を比較し、その誤差をUP信号35、DOWN信号36、UP+DOWN信号37として出力する。なお、UP+DOWN信号37とはUP信号35とDOWN信号36の論理和をとった信号である。

【0019】第1のエラーアウト端子25は位相比較器21のUP信号35、DOWN信号36を入力とし、“H”、“L”またはハイインピーダンスを出力する。第2のエラーアウト端子26は、位相比較器21からのUP出力信号35と、DOWN出力信号36と、さらにエラーアウト切換フラグ27の出力信号が入力される。第1の抵抗28は、第1のエラーアウト端子25の出力信号が入力される。第2の抵抗29には、第2のエラーアウト端子26の出力信号が入力される。

【0020】誤差検出フラグ34は、位相比較器21の出力信号であるUP+DOWN信号37を入力とし、UP+DOWN信号37がアクティブの場合、すなわちUP信号35、DOWN信号36のいずれかがアクティブの場合にセットされ、それ以外ではリセットされる。エラーアウト切換フラグ27は、第2のエラーアウト端子26の動作状態とハイインピーダンス固定状態を切換える機能を持ち、第2のエラーアウト端子26に接続される。なお、エラーアウト切換フラグ27は、RESETN38（リセット信号）によりリセットされ、外部に接続されたマイクロコンピュータで実行されるソフトウェアプログラムによりセットされる。また、エラーアウト切換フラグ27は、このフラグのリセット後、誤差検出フラグ34がノンアクティブ時に1回のみの出力変化可能である。ここで、‘誤差検出フラグ34がノンアクティブの時’とは、すべてのエラーアウト端子がハイインピーダンス状態にある時を意味する。

【0021】電圧制御発振回路23は、その電圧制御端子に接続されたローパスフィルタ出力34により出力信号33を変化させる。分周回路22は電圧制御発振器23の出力信号33を入力とし、この入力信号を分周した信号を出力する。

【0022】次に、図2の回路動作時のタイミングチャートを用いてさらに詳細に説明する。

【0023】周波数切換動作始動時は、高速応答が必要であるため、RESETN38よりエラーアウト切換フラグ27をリセットし（図2-①）、第2のエラーアウト端子26を動作させる。この結果、応答速度切換回路31がPLL系に対し接続され、高速応答状態になる（図2-⑤）。第2のエラーアウト端子26が動作状態の時、ローパスフィルタは第1の抵抗28、第2の抵抗29及びコンデンサ30により構成される。

【0024】位相比較器21は、分周回路22の出力信号と基準信号32の位相差または周波数差を検出し、誤差信号として出力する（図2-②、③）。図2の例は、分周回路22の出力信号の位相が基準信号32の位相よりも早い場合を示している。この場合、第1のエラーア

ウト端子25及び第2のエラーアウト端子26はハイインピーダンス状態から“L”出力に変化し、第1の抵抗28、第2の抵抗29を介してコンデンサ30の電荷を放電させ、電圧制御発振器23の入力電圧を変化させる。この電圧変化により、電圧制御発振器23の出力信号33の位相または周波数を所望の値に近づける。この時の第1のエラーアウト端子25及び第2のエラーアウト端子26からローパスフィルタ24出力までの応答時間を求めると以下ようになる。

【0025】コンデンサ30の容量値をC、第1のエラーアウト端子25、第2のエラーアウト端子26の駆動電流をI(v)、第1の抵抗28、第2の抵抗29の抵抗値をR、第1のエラーアウト端子25及び第2のエラーアウト端子26を構成するMOSトランジスタのしきい値及びゲートソース間電圧をVt及びVgs、非ロックアップ時の応答時間をT1とすると、式①となる。

【数1】

$$T1 = \frac{C}{2} \int \left\{ R - \left(K - \frac{\sqrt{K^2(V_{gs} - V_t)^2 + K I(v)}}{K I(v)} \right) \right\} dv \dots \text{式①}$$

$$K = \left(\frac{W}{2L} \right) \left(\frac{E_{si}}{T_{ox}} \right) \mu$$

W: MOSトランジスタのチャンネル幅
L: MOSトランジスタのチャンネル長
E_{si}: MOSトランジスタのシリコン中の誘電率
T_{ox}: MOSトランジスタのゲート酸化膜厚
 μ : MOSトランジスタのチャンネル中のキャリアの移動度

【0026】ある一定期間後、PLL回路がロックアップ状態に近づき、基準信号32と分周回路22の出力信号の周波数差または位相差がある一定基準以下になった場合、低速応答に切り換える。

【0027】次に、高速応答と低速応答の切換前後の動作を説明する。

【0028】位相比較器21は、基準信号32と分周回路22の出力信号の周波数差または位相差に比例して、UP信号35またはDOWN信号36を‘H’レベルにする。位相比較器21のUP+DOWN出力37を入力とする誤差検出フラグ34は、同時に‘H’レベルになる。したがって、誤差検出フラグ34の‘H’レベル時間の長さは、基準信号32と分周回路22の出力信号の周波数差または位相差に比例する。このため、誤差検出フラグ34を一定時間監視し、その時間内の‘H’レベル時間が基準時間以内になったときに、基準信号32と分周回路22の出力信号の周波数差または位相差も基準内に収束したと判断することができる。

【0029】図2において、前記基準時間をt2とすると、リセット(図2-①)後誤差検出フラグ34のt0時間内の‘H’レベル時間はt1である(図2-④)。高速応答の期間(図2-⑤)、第2のエラーアウト端子

26は動作状態にあり、応答時間は前記T1である。一定時間後、‘H’レベル時間がt2となり基準時間に達し(図2-⑥)、この後エラーアウト切換フラグを外部に接続されたマイクロコンピュータで実行されるソフトウェアプログラムによりセットする(図2-⑦)。エラーアウト切換フラグ27は、誤差検出フラグ34がノンアクティブ時一回のみ出力変化が可能であるため、誤差検出フラグ34が立ち下がった後出力が変化し(図2-⑧)、第2のエラーアウト端子26をハイインピーダンス固定状態(図2-⑨)とする。この結果、応答速度切換回路31はPLLの系から切り離される。

【0030】この時の第1のエラーアウト端子25からローパスフィルタ24の出力までの応答時間T2は式②と同様に求められ、式②となる。

【数2】

$$T2 = C \int \left\{ R - \left(K - \frac{\sqrt{K^2(V_{gs} - V_t)^2 + K I(v)}}{K I(v)} \right) \right\} dv \dots \text{式②}$$

式①、式②を用い、高速応答時(第2のエラーアウト端子26の出力が動作状態)と低速応答時(第2のエラーアウト端子26の出力がハイインピーダンス固定状態)の応答時間を比較すると、式③となり、第1のエラーアウト端子25、第2のエラーアウト端子26からローパスフィルタ24までの応答時間が1:2になっており、ローパスフィルタ24を構成する第2の抵抗、及び、第2のエラーアウト端子の駆動電流切換の2つの作用により高速応答/低速応答が実現できていることがわかる。

【数3】

$$\frac{T1}{T2} = \frac{1}{2} \dots \text{式③}$$

【0031】さらに、第2のエラーアウト端子26の駆動電流切換であるハイインピーダンス固定状態への切換えは、誤差検出フラグ34がノンアクティブ状態でのみ行われるため、常に第1のエラーアウト端子25、第2のエラーアウト端子26が共にハイインピーダンス時に行われる。第1のエラーアウト端子25、第2のエラーアウト端子26が共にハイインピーダンスのとき、両エラーアウト端子はローパスフィルタ24を駆動していないため、PLLの系に対して影響を与えずに第2のエラーアウト端子26の駆動電流を切り換えることができる。

【0032】本実施例においてはT1、T2を求める際、第1のエラーアウト端子25及び第2のエラーアウト端子26の駆動電流、第1の抵抗28及び第2の抵抗29の抵抗値は各々等しいとしたが、異なってもかまわない。

【0033】図3は本発明の他の実施の形態である。

【0034】図3は、図1に対し第3のエラーアウト端子41、第3の抵抗42、第2のエラーアウト切換フラグ43等を追加した回路である。エラーアウト端子を必

要数だけハイインピーダンス固定状態にする事により応答時間を変化させることができる。応答時間及び低速応答／高速応答の比は式①、式②、式③と同様に求めることができる。なお、図3において図1に対応する部分には同一の符号を付けその説明を省略する。

【0035】本実施形態では、式③より $T2 > T1$ である事から、エラーアウト端子をハイインピーダンス固定状態にできることにより、エラーアウト端子からローパスフィルタ出力までの応答が高速応答なPLL回路と低速応答なPLL回路を、外部回路を変更することなく同時に実現できる。また式①、式②、式③より、応答時間の変化は第1の抵抗と第2の抵抗に因るものと $I(V)$ に因るものを同時に得ることができる。さらに、エラーアウト端子がハイインピーダンス時にエラーアウト端子の駆動電流切換を行うことにより、PLLの系に対し影響を与えずに高速応答／低速応答を切り換えることができる。

【0036】

【発明の効果】本発明では、位相比較器の出力信号を入力し、この入力信号を出力する動作状態と出力をハイインピーダンス固定状態とする2つの状態間を切換可能な複数のエラーアウト端子を持つことにより、回路規模を大きくすることなくPLL回路の高速応答／低速応答を任意の外部回路に対して最適化できる。

【0037】また、複数のエラーアウト端子の内、少なくとも1本以上ハイインピーダンス固定状態にするエラーアウト端子制御回路を備え、前記エラーアウト端子の切換えは該エラーアウト端子の出力がハイインピーダンス時に行うのでエラーアウト端子の駆動電流切換時の不連続な周波数の飛びやスイッチングノイズによる特性劣化を防止できる。

【0038】また、位相比較器の誤差信号を監視する誤差検出フラグを備えるので、一定期間毎に誤差検出フラグを監視する事により、基準信号と分周回路の出力の周波数及び位相の誤差を検出し、所望の誤差以下になった時点で高速応答／低速応答の回路を切換えることができる。すなわち、任意の誤差範囲内で高速応答／低速応答の切換えができる。

【0039】また、前記複数のエラーアウト端子の出力を少なくとも1本以上ハイインピーダンス固定状態にするエラーアウト切換フラグを備えるので、外部回路によりエラーアウト端子出力の動作状態とハイインピーダン

ス固定状態の切換えのタイミングを制御できる。

【図面の簡単な説明】

【図1】 本発明の一実施形態に係る高速ロックアップPLL回路の構成を示す図である。

【図2】 図1の回路動作のタイミングチャートを示す。

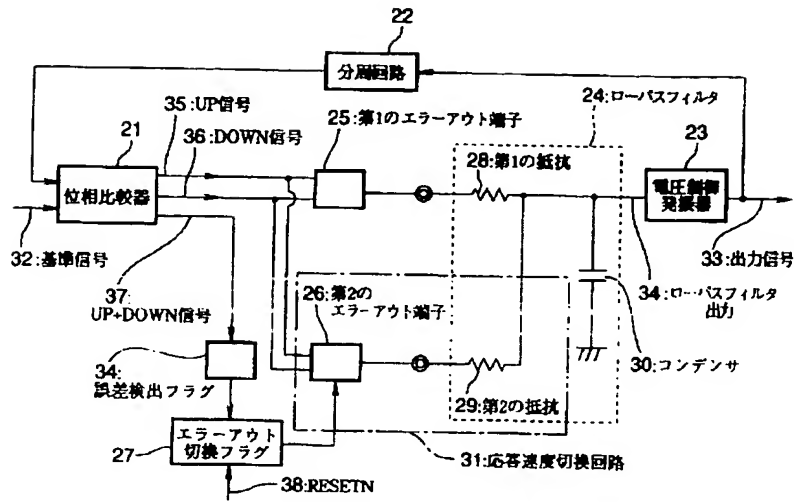
【図3】 本発明の第2の実施形態に係る高速ロックアップPLL回路の構成を示す図である。

【図4】 従来の技術に基づく、高速ロックアップ、低雑音PLL回路の一実施形態を示す図である。

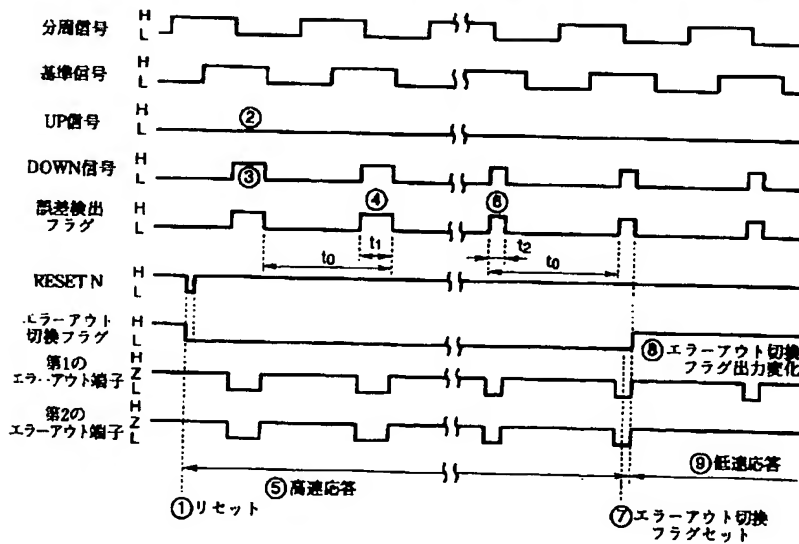
【符号の説明】

- 1 基準信号
- 2 出力信号
- 3 ループフィルタ
- 4 プログラマブル分周器
- 5 電圧制御発振器
- 6 オーバーラップ出力位相比較器
- 7 ノンオーバーラップ出力位相比較器
- 8 第1のチャージポンプ
- 9 第2のチャージポンプ
- 21 位相比較器
- 22 分周回路
- 23 電圧制御発振器
- 24 ローパスフィルタ
- 25 第1のエラーアウト端子
- 26 第2のエラーアウト端子
- 27 エラーアウト切換フラグ
- 28 第1の抵抗
- 29 第2の抵抗
- 30 コンデンサ
- 31 応答速度切換回路
- 32 基準信号
- 33 出力信号
- 34 誤差検出フラグ
- 35 UP信号
- 36 DOWN信号
- 37 UP+DOWN信号
- 38 RESETN
- 41 第3のエラーアウト端子
- 42 第3の抵抗
- 43 第2のエラーアウト切換フラグ

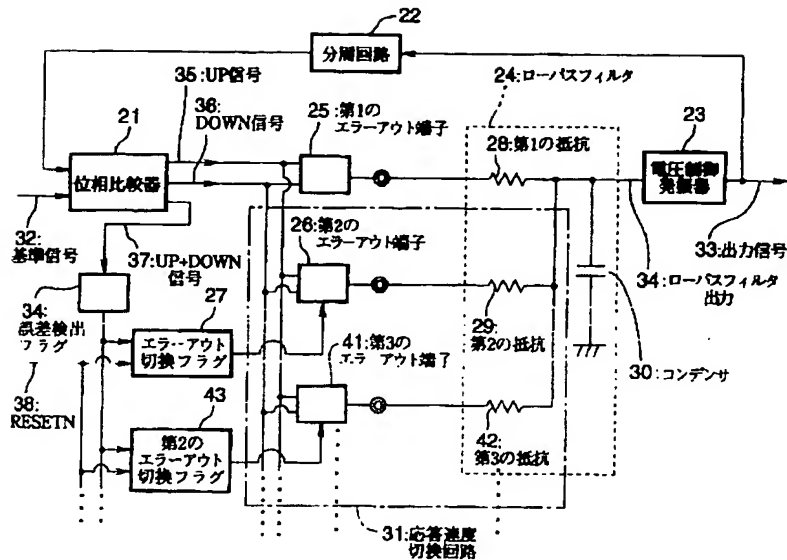
【図1】



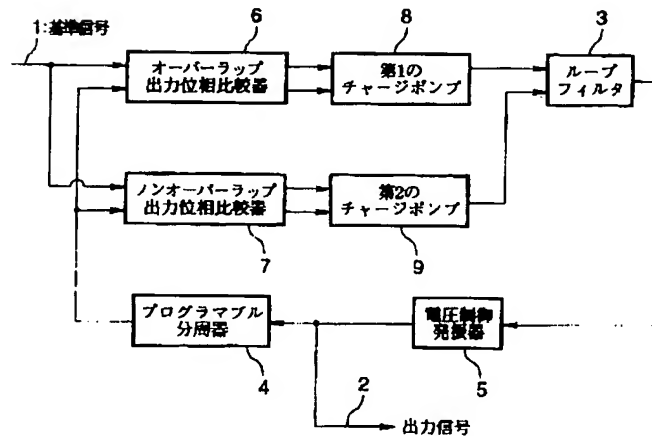
【図2】



【図3】



【図4】



【手続補正書】

【提出日】平成11年3月8日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 電圧制御発信器と、
前記電圧制御発信器の出力信号と基準信号の位相を比較し誤差信号を出力する位相比較器と、
前記位相比較器の出力信号に基づきハイレベル、ハイインピーダンス、ロウレベルのいずれかを出力する動作状

態と、ハイインピーダンス固定状態との2つの状態間を
切換可能な複数のエラーアウト端子と、
前記複数のエラーアウト端子の各出力に一端が接続され
た複数の抵抗と、
該複数の抵抗の各他端に共通に第1の電極が接続され、
接地に第2の電極が接続され、前記第1の電極に現れる
電位で前記電圧制御発信器を制御するコンデンサと、
前記誤差信号に基づき前記電圧制御発信器の出力が前記
基準信号と一致していない期間のみ所定の電位を示す誤
差検出フラグと、
該誤差検出フラグに基づき、前記電圧制御発信器の出力
と前記基準信号との位相差が所定範囲内に収束したか否

かを判定する判定手段と、
該判定手段により、前記位相差が所定範囲内に収束していないと判定された場合は前記複数のエラーアウト端子をすべて動作状態に切り換え、前記位相差が所定範囲内に収束したと判定された場合は前記複数のエラーアウト端子の少なくとも1つをハイインピーダンス固定状態に切り換える切換手段とを具備することを特徴とする高速ロックアップPLL回路。

【請求項2】 前記判定手段が、前記誤差検出フラグを監視するマイクロコンピュータであることを特徴とする請求項1に記載の高速ロックアップPLL回路。

【請求項3】 前記切換手段における前記ハイインピーダンス固定状態への切り換えは、
前記マイクロコンピュータから出力される信号によってリセットされ、すべての前記複数のエラーアウト端子がハイインピーダンスの時に前記少なくとも1つのエラーアウト端子をハイインピーダンス固定状態に切り換えるエラーアウト切換フラグによって制御することを特徴とする請求項2に記載の高速ロックアップPLL回路。

【請求項4】 前記位相比較器は、前期電圧制御発信器の出力と前記基準信号の周波数とを比較しその誤差信号を出力し、

前記判定手段は、前記誤差検出フラグに基づき、前記電圧制御発信器の出力と前記基準信号との周波数の差が所定範囲内に収束したか否かを判定することを特徴とする請求項1に記載の高速ロックアップPLL回路。

【手続補正2】

【補正対象書類名】明細書
 【補正対象項目名】0010
 【補正方法】変更
 【補正内容】

【0010】本発明の高速ロックアップPLL回路は、電圧制御発信器と、前記電圧制御発信器の出力信号と基準信号の位相を比較し誤差信号を出力する位相比較器と、前記位相比較器の出力信号に基づきハイレベル、ハイインピーダンス、ロウレベルのいずれかを出力する動作状態と、ハイインピーダンス固定状態との2つの状態間を切換可能な複数のエラーアウト端子と、前記複数のエラーアウト端子の各出力に一端が接続された複数の抵抗と、該複数の抵抗の各他端に共通に第1の電極が、接地に第2の電極が接続され、前記第1の電極に現れる電位で前記電圧制御発信器を制御するコンデンサと、前記誤差信号に基づき前記電圧制御発信器の出力が前記基準信号と一致していない期間のみ所定の電位を示す誤差検出フラグと、該誤差検出フラグに基づき、前記電圧制御発信器の出力と前記基準信号との位相差が所定範囲内に収束したか否かを判定する判定手段と、該判定手段により、前記位相差が所定範囲内に収束していないと判定された場合は前記複数のエラーアウト端子をすべて動作状態に切り換え、前記位相差が所定範囲内に収束したと判

定された場合は前記複数のエラーアウト端子の少なくとも1つをハイインピーダンス固定状態に切り換える切換手段とを具備することを特徴とする。

【手続補正3】

【補正対象書類名】明細書
 【補正対象項目名】0011
 【補正方法】変更
 【補正内容】

【0011】また、本発明の高速ロックアップPLL回路は、前記判定手段が、前記誤差検出フラグを監視するマイクロコンピュータであることを特徴とする。

【手続補正4】

【補正対象書類名】明細書
 【補正対象項目名】0012
 【補正方法】変更
 【補正内容】

【0012】また、本発明の高速ロックアップPLL回路において、前記切換手段における前記ハイインピーダンス固定状態への切り換えは、前記マイクロコンピュータから出力される信号によってリセットされ、すべての前記複数のエラーアウト端子がハイインピーダンスの時に前記少なくとも1つのエラーアウト端子をハイインピーダンス固定状態に切り換えるエラーアウト切換フラグによって制御することを特徴とする。

【手続補正5】

【補正対象書類名】明細書
 【補正対象項目名】0013
 【補正方法】変更
 【補正内容】

【0013】また、本発明の高速ロックアップPLL回路において、前記位相比較器は、前期電圧制御発信器の出力と前記基準信号の周波数とを比較しその誤差信号を出力し、前記判定手段は、前記誤差検出フラグに基づき、前記電圧制御発信器の出力と前記基準信号との周波数の差が所定範囲内に収束したか否かを判定することを特徴とする。

【手続補正6】

【補正対象書類名】明細書
 【補正対象項目名】0029
 【補正方法】変更
 【補正内容】

【0029】図2において、前記基準時間を t_2 とすると、リセット(図2-①)後誤差検出フラグ34の t_0 時間内の‘H’レベル時間は t_1 である(図2-④)。高速応答の期間(図2-⑤)、第2のエラーアウト端子26は動作状態にあり、応答時間は前記 T_1 である。一定時間後、‘H’レベル時間が t_2 となり基準時間に達し(図2-⑥)、この後エラーアウト切換フラグを外部に接続されたマイクロコンピュータで実行されるソフトウェアプログラムによりセットする(図2-⑦)。エラ

ーアウト切換フラグ27は、誤差検出フラグ34がノンアクティブ時一回のみ出力変化が可能であるため、誤差検出フラグ34が「H」レベルから「L」レベルに遷移した後出力が変化し(図2-⑧)、第2のエラーアウト端子26をハイインピーダンス固定状態(図2-⑨)とする。この結果、応答速度切換回路31はPLLの系から切り離される。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正内容】

【0036】以上、詳細に説明したように、本発明によれば、複数のエラーアウト端子と、前記複数のエラーアウト端子の各出力に一端が接続された複数の抵抗と、該複数の抵抗の各他端に共通に第1の電極が、接地に第2の電極が接続され、前記第1の電極に現れる電位で前記電圧制御発信器を制御するコンデンサによりローパスフィルタを構成するので、回路規模を大きくすることなくPLL回路の高速応答/低速応答を任意の外部回路に対して最適化できる。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正内容】

【0038】また、位相比較器の誤差信号に基づき電圧制御発信器の出力が基準信号と一致していない期間のみ所定の電位を示す誤差検出フラグを備えるので、一定期間毎に誤差検出フラグを監視する事により、基準信号と分周回路の出力の周波数及び位相の誤差を検出し、所望の誤差以下になった時点で高速応答/低速応答の回路を切換えることができる。すなわち、任意の誤差範囲内で高速応答/低速応答の切換えができる。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正内容】

【0039】また、前記複数のエラーアウト端子の出力を少なくとも1本以上ハイインピーダンス固定状態にする切換手段と、位相差または周波数差を判定する判定手段を備えるので、エラーアウト端子出力の動作状態とハイインピーダンス固定状態の切換えのタイミングを制御できる。

【手続補正書】

【提出日】平成11年6月3日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 電圧制御発信器と、前記電圧制御発信器の出力信号と基準信号の位相を比較し誤差信号を出力する位相比較器と、前記位相比較器の出力信号に基づきハイレベル、ハイインピーダンス、ロウレベルのいずれかを出力する動作状態と、ハイインピーダンス固定状態との2つの状態間を切換可能であり、MOSトランジスタにより構成される複数のエラーアウト端子と、前記複数のエラーアウト端子の各出力に一端が接続された複数の抵抗と、該複数の抵抗の各他端に共通に第1の電極が接続され、接地に第2の電極が接続され、前記第1の電極に現れる電位で前記電圧制御発信器を制御するコンデンサと、前記誤差信号に基づき前記電圧制御発信器の出力が前記基準信号と一致していない期間のみ所定の電位を示す誤差検出フラグと、前記複数のエラーアウト端子のすべてがハイインピー

ダンスの時に、1回のみ出力を変化させ、少なくとも1つの前記エラーアウト端子をハイインピーダンス固定状態に切り換えるエラーアウト切換フラグと、前記誤差検出フラグを監視するとともに、前記エラーアウト切換フラグを制御するマイクロコンピュータとを具備し、

前記マイクロコンピュータは、前記誤差検出フラグの出力に基づき、前記電圧制御発信器の出力と前記基準信号との位相差が、該マイクロコンピュータに実装されるソフトウェアプログラムを用いて任意に設定された所定範囲内に収束したか否かを判定し、

前記判定により、前記位相差が所定範囲内に収束していないと判定された場合は前記複数のエラーアウト端子をすべて動作状態に切り換えるようにエラーアウト切換フラグを制御し、前記位相差が所定範囲内に収束したと判定された場合は前記複数のエラーアウト端子の少なくとも1つをハイインピーダンス固定状態に切り換えるようにエラーアウト切換フラグを制御することを特徴とする高速ロックアップPLL回路。

【請求項2】 前記位相比較器は、前期電圧制御発信器の出力と前記基準信号の周波数とを比較しその誤差信号を出力し、

前記マイクロコンピュータは、前記誤差検出フラグに基づき、前記電圧制御発信器の出力と前記基準信号との周

波数の差が所定範囲内に収束したか否かを判定することを特徴とする請求項1に記載の高速ロックアップPLL回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】

【課題を解決するための手段】本発明の高速ロックアップPLL回路は、電圧制御発信器と、前記電圧制御発信器の出力信号と基準信号の位相を比較し誤差信号を出力する位相比較器と、前記位相比較器の出力信号に基づきハイレベル、ハイインピーダンス、ロウレベルのいずれかを出力する動作状態と、ハイインピーダンス固定状態との2つの状態間を切換可能であり、MOSトランジスタにより構成される複数のエラーアウト端子と、前記複数のエラーアウト端子の各出力に一端が接続された複数の抵抗と、該複数の抵抗の各他端に共通に第1の電極が接続され、接地に第2の電極が接続され、前記第1の電極に現れる電位で前記電圧制御発信器を制御するコンデンサと、前記誤差信号に基づき前記電圧制御発信器の出力が前記基準信号と一致していない期間のみ所定の電位を示す誤差検出フラグと、前記複数のエラーアウト端子のすべてがハイインピーダンスの時に、1回のみ出力を変化させ、少なくとも1つの前記エラーアウト端子をハイインピーダンス固定状態に切り換えるエラーアウト切換フラグと、前記誤差検出フラグを監視するとともに、前記エラーアウト切換フラグを制御するマイクロコンピュータとを具備し、前記マイクロコンピュータは、前記誤差検出フラグの出力に基づき、前記電圧制御発信器の出力と前記基準信号との位相差が、該マイクロコンピュータに実装されるソフトウェアプログラムを用いて任意に設定された所定範囲内に収束したか否かを判定し、前記判定により、前記位相差が所定範囲内に収束していないと判定された場合は前記複数のエラーアウト端子をすべて動作状態に切り換えるようにエラーアウト切換フラグを制御し、前記位相差が所定範囲内に収束したと判定された場合は前記複数のエラーアウト端子の少なくとも1つをハイインピーダンス固定状態に切り換えるようにエラーアウト切換フラグを制御することを特徴とする。

上記特徴から、前記ローパスフィルタは、複数の抵抗からなる合成抵抗と1つのコンデンサから構成されるラグフィルタとなるので、本発明の実施の際には、該ローパスフィルタ、PLL回路の特性の算出・設計を容易に行える。また、ソフトウェアプログラムによりエラーアウト端子の動作状態を切り換えるので、該PLL回路の応答速度の切り換えタイミングを任意に設定することがで

きる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】削除

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】削除

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】また、本発明の高速ロックアップPLL回路において、前記位相比較器は、前期電圧制御発信器の出力と前記基準信号の周波数とを比較しその誤差信号を出力し、前記マイクロコンピュータは、前記誤差検出フラグに基づき、前記電圧制御発信器の出力と前記基準信号との周波数の差が所定範囲内に収束したか否かを判定することを特徴とする。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正内容】

【0036】

【発明の効果】以上、詳細に説明したように、本発明によれば、複数のエラーアウト端子と、前記複数のエラーアウト端子の各出力に一端が接続された複数の抵抗と、該複数の抵抗の各他端に共通に第1の電極が、接地に第2の電極が接続され、前記第1の電極に現れる電位で前記電圧制御発信器を制御するコンデンサによりローパスフィルタを構成するので、回路規模を大きくすることなくPLL回路の高速応答/低速応答を任意の外部回路に対して最適化できる。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正内容】

【0039】また、前記複数のエラーアウト端子の出力を少なくとも1本以上ハイインピーダンス固定状態にするエラーアウト切換フラグと、位相差または周波数差を判定するマイクロコンピュータを備えるので、エラーアウト端子出力の動作状態とハイインピーダンス固定状態の切り換えのタイミングを制御できる。